

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-180999

(43)Date of publication of application : 28.08.1994

(51)Int.Cl.

G11C 16/06
G06F 12/00

(21)Application number : 04-222258

(71)Applicant : INTEL CORP

(22)Date of filing : 30.07.1992

(72)Inventor : KOSONOCKY GEORGE A
WINSTON MARK D

(30)Priority

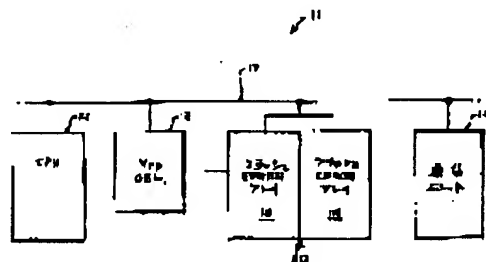
Priority number : 91 738179 Priority date : 30.07.1991 Priority country : US

(54) FLOATING GATE NON-VOLATILE MEMORY WITH SIMULTANEOUS READING/WRITING FUNCTION AND MICROPROCESSOR PROVIDED WITH THE MEMORY

(57)Abstract:

PURPOSE: To allow to read one memory array while the erasion/reproduction programming of the other memory array is executed by constituting a flash EPROM by means of the two memory arrays.

CONSTITUTION: The flash EPROM 20 is constituted by the two memory arrays 15 and 16. Then, the memory arrays 15 and 16 are respectively and independently read, programmed and erased by CPU 12. The respective memory arrays 15 and 16 are provided with their peculiar address registers and decoders. Moreover, the memory arrays 15 and 16 share another common peripheral circuit inside the flash EPROM 20. When programming is executed by one memory array, the other memory is accessed. Therefore, CPU 12 can execute a task which has to perform access to information stored in the flash EPROM 20 during the re-programming of the flash EPROM 20.



LEGAL STATUS

[Date of request for examination] 30.06.1999

[Date of sending the examiner's decision of rejection] 26.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-180999

(43)公開日 平成6年(1994)8月28日

| (51)Int.Cl. | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------|-------|--------------------|----------------|---------|
| G 1 1 C 18/06 | | | | |
| G 0 6 F 12/00 | 5 6 0 | 9366-5B 6741-5L | G 1 1 C 17/ 00 | 3 0 9 Z |

審査請求 未請求 請求項の数 2(全 13 頁)

(21)出願番号 特願平4-222256
(22)出願日 平成4年(1992)7月30日
(31)優先権主張番号 7 3 8 1 7 9
(32)優先日 1991年7月30日
(33)優先権主張国 米国(U S)

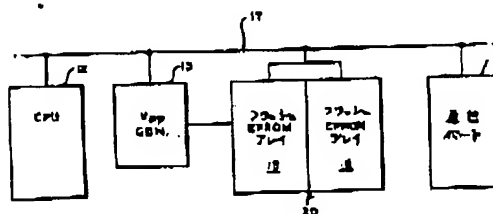
(71)出願人 591003943
インテル・コーポレーション
アメリカ合衆国 95052 カリフォルニア
州・サンタクララ・ミッション カレッジ
ブールバード・2200
(72)発明者 ジョージ・アレクサンダー・コソノッキー
アメリカ合衆国 95687 カリフォルニア
州・プレイサーヴィル・オロ ローマ ド
ライブ・1161
(72)発明者 マーク・ディ・フィンストン
アメリカ合衆国 95830 カリフォルニア
州・エル ドラド ヒルズ・フィリップ
コート・874
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 同時読出し／書き込み機能付きフローティングゲート非揮発型メモリ及びこれを備えたマイクロプロセッサ装置

(57)【要約】

【目的】 プログラミング中に読み出すことができるフラッシュEPRIMを提供する。

【構成】 メモリが第1メモリアレイと第2メモリアレイとで構成されている。第1メモリアレイの第1アドレスを記憶する第1アドレスレジスタと、第2メモリアレイの第2アドレスを記憶する第2アドレスレジスタとを行している。第1メモリアレイと第2メモリアレイとに接続されるとともに、他方においてはメモリ出力に接続されて、第1メモリアレイまたは第2メモリアレイを選択的に出力に接続するマルチプレクサがある。求入アドレスに応じて再プログラミングを行うべく第1メモリアレイを選択し、読出しを行うべく第2メモリアレイを選択するアレイ選択回路がある。このアレイ選択回路が第1アドレスを第1アドレスレジスタへ送り、第2アドレスを第2アドレスレジスタへ送る。このアレイ選択回路がマルチプレクサを制御し、第1メモリアレイの再プログラミングを行っているときに第2メモリアレイをメモリ出力に接続させる。



(2)

特開平6-180999

1

【特許請求の範囲】

【請求項1】 第1メモリアレイと、
第1メモリアレイの第1アドレスを格納する第1アドレスレジスタと、
第2メモリアレイと、
第2メモリアレイの第2アドレスを格納する第2アドレスレジスタと、

一方において第1メモリアレイと第2メモリアレイに接続されており、他方において第1メモリアレイまたは第2メモリアレイを選択的に出力するメモリ出力に接続されたマルチプレクサと、

入力されたアドレスに応じて再プログラミングオペレーションのために第1メモリアレイを選択し、読出しオペレーションのために第2メモリアレイを選択するアレイ選択回路であって、第1アドレスを第1アドレスレジスタへ送り、第2アドレスを第2アドレスレジスタへ送り、また、マルチプレクサを制御し、第1メモリアレイの再プログラミングを行っているときに第2メモリアレイをメモリ出力に接続させるアレイ選択回路とを備えたフローティングゲート非揮発型メモリ。

【請求項2】 中央処理装置（CPU）と、

通信ポートと、

CPUと通信ポートに接続されているバスと、
バスを介してCPUと通信ポートに接続されており、第1メモリアレイと第2メモリアレイとで構成されており、CPUが第1メモリアレイの再プログラミングを行っているときに第2メモリアレイに格納されている情報にアクセスすることができるフローティングゲート非揮発型メモリと、

を備えたマイクロプロセッサ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フローティングゲート非揮発型リードオンリメモリに関する。本発明は、より具体的には書き込み中に読出しを行うことができるフローティングゲートメモリに関する。

【0002】

【従来の技術】 非揮発型コンピュータ用メモリの1つとしてフラッシュ電気消去／プログラミング式リードオンリメモリ（フラッシュEPROM）がある。フラッシュEPROMは、使用者がプログラミングすることができ、一度プログラミングすれば消去されるまでデータを保持する。一度プログラミングしたあと、比較的遅やかな1回の操作で、電気消去法によってフラッシュEPROMの全内容を消去し、新規データを再プログラミングすることができる。一例として、フラッシュEPROMは、インシステム（in-system）再プログラミング可能な非揮発型記憶装置としてマイクロプロセッサベースシステムに適用されている。フラッシュEPROMは、電気消去／再プログラミング可能であるため、プログラム

2

の記憶／更新のための費用効果の高い手段といえる。中央処理装置（CPU）でフラッシュEPROMを再プログラミングすることができ、この再プログラミングをインシステム書き込み（ISW）と言う。ISW時にCPUはフラッシュEPROMの再プログラミングを制御し、システム内にプログラミング電圧VPPが局部に発生する。

【0003】 一例としての在来ISW機能付きマイクロプロセッサシステム10のブロックダイヤグラムを図1に示す。CPU1がフラッシュEPROM3を制御する。通信ポート6がマイクロプロセッサシステム10をバス4を介してホストコンピュータ（不図示）に接続している。ホストコンピュータがフラッシュEPROM3にプログラムするコードとデータを有している。このコード／データは通信ポート6を介してCPU1に供給される。マイクロプロセッサシステム10はさらに、

（1）システムを初期化するCPUブーツ（boot）コード、（2）通信ソフトウェア、ならびに（3）フラッシュEPROM3のISWの再プログラミングアルゴリズムを記憶しているブーツメモリ2を有している。ブーツコードは、I/Oドライバ、ASCII→2進変換テーブル、ならびにハードウェア初期化ルーチンとから成っている。ブーツメモリ2は、紫外線消去式ROM、EPROMなどの任意の非揮発型メモリである。マイクロプロセッサシステム10はさらにRAM7とVPP発生器5とを有している。RAM7は変化するコードならびにデータを記憶する。VPP発生器は、フラッシュEPROM3を再プログラミングするプログラミング／消去電圧VPPを供給する。このVPPは一般的には約12Vである。

【0004】 システム10には、フラッシュEPROM3はプログラム中、再プログラム中は読出しを行うことができないという難点がある。したがって、フラッシュEPROM3のプログラム中はCPU1は遊んでいる。フラッシュEPROM3の消去時間は一般的に約0.1～30秒である。フラッシュEPROM3の1バイトプログラミング時間は一般的に約16～400マイクロ秒である。フラッシュEPROM3のプログラミング時間は、そのメモリアレイのサイズによって決まる。フラッシュEPROM3を消去する場合は、CPU1が消去命令をフラッシュEPROM3の命令レジスタへ送る。続いてCPU1は消去検査命令をフラッシュEPROM3へ送り、消去を停止し、消去検査を開始する。

【0005】 フラッシュEPROM3をプログラムする場合は、CPU1がプログラム命令をフラッシュEPROM3の命令レジスタへ送る。続いてアドレスとデータがフラッシュEPROM3にラッチされ、プログラミングが開始される。続いてCPU1はプログラム検査命令をフラッシュEPROM3へ送り、プログラミングを停止し、プログラム検査を開始する。マイクロプロセッサシステム10にはまた、ハードウェア面での難点があり

(3)

特開平6-180999

3

る。システム10は一般的にブートコードと再プログラミングアルゴリズムとを記憶するための非揮発型ブートメモリ2を必要とする。システム10はさらにRAM7を必要とする。ブートメモリ2ならびにRAM7には各々周辺回路が係合している。この周辺回路は一般的にデコーダ、アドレスラッチならびに入力/出力バッファから成っている。

【0006】この難点を解消する1つの方法として、ブート情報をフラッシュEPROM3のブート領域に記憶してブートメモリ2を省く方法がある。フラッシュEPROM3の消込み(たとえば再プログラミング)を行う場合は、CPU1はまず再プログラミングアルゴリズムと通信ソフトウェアをフラッシュEPROM3のブート領域から取り出し、RAM7にインプットする。続いてCPU1はRAM7に記憶されている再プログラミングアルゴリズムを実行し、かくしてフラッシュEPROM3のISWプログラミングを実行する。この方法には、ブート情報がRAM7とフラッシュEPROM3の両方の一部分を使用するという難点がある。システムの使用条件によっては人形RAM7を必要とする場合がある。この方法にはまた、ISW用に別途のCPU時間を必要とするという難点がある。その時間とは、ブート情報をRAM7にインプットするのに要する時間である。

【0007】

【発明が解決しようとする課題】本発明は、再プログラミング中に読出しを行うことができる非揮発型メモリを提供することにある。本発明は、また、同時にアドレスし、各々別個に機能させることができる複数の個別メモリアレイで構成されている非揮発型メモリを提供することを目的とする。

【0008】

【課題を解決するための手段】本発明においてはフローディングゲート非揮発型メモリを対象として発明内容の詳述を行う。同メモリは第1メモリアレイと第2メモリアレイとで構成されている。第1メモリアレイの第1アドレスを記憶する第1アドレスレジスタがある。第2メモリアレイの第2アドレスを記憶する第2アドレスレジスタがある。また一方において第1メモリアレイと第2メモリアレイに接続されており、他方でメモリ出力に接続され、第1メモリアレイまたは第2メモリアレイを選択的にその出力に接続するマルチプレクサがある。人ってきたアドレスに応じて、再プログラミングを行うため第1メモリアレイを選択し、読出し用を行うため第2メモリアレイを選択するアレイ選択回路がある。このアレイ選択回路が第1アドレスを第1アドレスレジスタへ送り、第2アドレスを第2アドレスレジスタへ送る。またアレイ選択回路はマルチプレクサを制御し、第1メモリアレイの再プログラミングを行っているときに第2メモリアレイをメモリ出力に接続させる。本発明の前記以外の目的、特徴、利点は、添付図を参照しつつ以下に展開

4

する発明内容の詳述を通して明らかにされる。

【0009】

【実施例】本発明の代表的実施態様としてのメモリを添付図に示す。全添付図を通して同様のコンポーネントは同一の番号で示すこととする。本発明の好適実施態様としてのフラッシュEPROM20を備えているマイクロプロセッサシステム11のブロックダイアグラムを図2に示す。マイクロプロセッサシステム11はフラッシュEPROM20に対してISWを行う。このフラッシュEPROM20は、ISWプロセスの一環としての消込みを行っているときに読出しを行うことができる。システム11は、フラッシュEPROM20、中央処理装置(CPU)12、通信ポート14、VPP発生器13、ならびにバス17を有している。CPU12はシステム11のマイクロプロセッサである。CPU(マイクロプロセッサとも言う)12は、主機能として、フラッシュEPROM20のISWを行う。通信ポート14が他のコンピュータシステム(不図示)に対する通信媒体としての働きをし、システム11は通信ポート14を介してフラッシュEPROM20を再プログラミングするデータを受ける。VPPはフラッシュEPROM20を再プログラミングするのに要するプログラミング/消去VPP電圧を発生する。本発明の1つの実施態様としてはVPPは約12Vである。バス17によってシステム11内のCPU12、VPP発生器13、フラッシュEPROM20ならびに通信ポート14が相互接続されている。

【0010】本発明の好適実施態様においては、フラッシュEPROM20は2つのメモリアレイ15、16で構成されている。メモリアレイ15、16はCPU12によって各々別個に読出し、プログラミング、消去を行うことができる。応用形実施態様として、フラッシュEPROM20を3つないしそれ以上のメモリアレイで構成することも可能である。フラッシュEPROM20は単一基板上に搭載されている。各メモリアレイ15、16に各々固有のアドレスレジスタとデコーダが備えられている。しかるにメモリアレイ15、16はフラッシュEPROM20内の他の共通周辺回路を共用する。一方のメモリアレイでプログラミングを行っているときに他方のメモリアレイにアクセスすることができる。一例として、CPU12はメモリアレイ15の消去/再プログラミングを行いつつメモリアレイ16の読出しを行うことができる。したがってCPU12は、フラッシュEPROM20の再プログラミングを行っている最中にフラッシュEPROM20に記憶されている情報にアクセスする必要があるタスクを実行することができる。

【0011】本発明の好適実施態様においては、フラッシュEPROM20にブート情報を記憶する。フラッシュEPROM20はデュアルアレイ構成になっている故に、再プログラミング中でさえブート情報をフラッシュEPROM20内に保持することができる。フラッシュ

(4)

特開平6-180999

5

EPROM20のブロックダイアグラムを図3に示す。フラッシュEPROM20は2つのメモリアレイで構成されており、メモリアレイ15、16は共にデータとアドレスを記憶する複数のメモリセル（不図示）で構成されている。本発明の1つの実施態様としては、メモリアレイ15、16のデータ記憶容量は各々512キロビット（KB）である。応用形実施態様として、メモリアレイ15、16のデータ記憶容量をこれよりも大きくしたり小さくしたりすることも可能である。

【0012】本発明の1つの好適実施態様としては、フラッシュEPROM20は、単一基板上に搭載した相補型金属酸化膜半導体（CMOS）回路とする。本発明の1つの実施態様としては、各メモリアレイ15、16を行列構造とする。周知のようにワード線（不図示）とビット線（不図示）の交点にメモリアレイ15、16の各メモリセルが位置している。アレイ15、16の各ワード線は1つの行内に位置しているメモリセルの制御ゲートに接続されている。メモリアレイ15、16の各ビット線は1つの列内に位置しているメモリセルのドレン領域に接続されている。アレイ15のメモリセルのソースは1つの共通ソース線（不図示）に接続されている。アレイ16のメモリセルのソースは、アレイ15のソース線とは別個になっており、同ソース線に接続されていない1つの共通ソース線（不図示）に接続されている。本発明の1つの実施態様としては、メモリアレイ15、16は各々、ビット線が複数の群になっている複数のビット線ブロックで構成する。別の実施態様としては、メモリアレイ15、16は各々、ワード線が複数の群になっている複数のワード線ブロックで構成する。

【0013】メモリアレイ15、16をビット線ブロック構造とする実施態様においては、各ブロックは複数のビット線で構成されている。ワード線は1つのメモリアレイの全ブロックを通過しており、したがって同メモリアレイの全ブロックのメモリセルがワード線を共用する。また、1ブロック内の全メモリセルのソースに接続されている1つの共通ソース線が各ブロックにある。メモリアレイ15、16をワード線ブロック構造とする実施態様においては、各ブロックは複数のワード線で構成されている。ビット線は1つのメモリアレイの全ブロックを通過しており、したがって同メモリアレイの全ブロックのメモリセルがビット線を共用する。また、1ブロック内の全メモリセルのソースに接続されている1つの共通ソース線が各ブロックにある。

【0014】本発明の1つの実施態様としては、フラッシュEPROM20の各メモリアレイ15、16を1つの8キロバイトのブーツブロックと2つの4キロバイトのパラメータブロックとで構成する。一例として、ブーツブロックは、システム初期化、再プログラミングアルゴリズムならびに通信ソフトウェアのブーツコードを記憶する。パラメータブロックは、頻繁に更新するシステ

6

ムパラメータ、ならびに構成情報を記憶する。ブーツブロックは頻繁に更新しないので、データの一致性を確保するための手段として再プログラミング誤込みロックアウト機能を設定する。

【0015】フラッシュEPROM20の詳細ブロックダイアグラムを第3図に示す。フラッシュEPROM20はメモリアレイ15とメモリアレイ16とで構成されている。フラッシュEPROM20の構成要素として、さらに出力マルチプレクサ31、データインラッチ、ならびに入力/出力バッファ39がある。出力マルチプレクサ31は各々バス79、29を介してメモリアレイ15、16に接続されている。出力マルチプレクサ31は、メモリアレイ15あるいは16に記憶されているデータを表す出力をバス38を介して入力/出力バッファ39に供給する。出力データはバス44を介して外部回路へ送られる。バス44は双方向バスである。フラッシュEPROM20にプログラムすべきデータはまずバス44を介して入力/出力バッファ39にラッチされ、その後バス36を介してデータインラッチ32へ送られる。データインラッチ32はバス30を介してメモリアレイ15、16に接続されている。

【0016】VppはフラッシュEPROM20の消去/プログラミング電源電圧である。VccはフラッシュEPROM20のシステム電源電圧であり、Vssは接地電圧である。本発明の1つの実施態様においてはVppは約12.0Vであり、Vccは約5.0Vである。Vpp入力ピンに高Vpp電圧が存在していないときはフラッシュEPROM20はリードオンリメモリとして機能する。アドレスバス33を介して供給されるアドレスに記憶されているデータがメモリアレイ15またはメモリアレイ16から読み出される。データは、出力マルチプレクサ31ならびにバス29またはバス38を介して入力/出力バッファ39に供給される。続いてデータはバス44を介して外部回路へ送られる。フラッシュEPROM20にはチップイネーブルCE（バー）入力と出力イネーブルOE（バー）入力の2つの制御機能入力がある。チップイネーブル入力CE（バー）は電力制御入力であり、システム選択用に用いる。出力イネーブル入力OE（バー）はフラッシュEPROM20の出力制御入力であり、システム選択に関係なく出力ピンから送られてくるデータを通過させる働きをする。制御機能CE（バー）、OE（バー）は共に、フラッシュEPROM20の出力においてデータが得られるように論理的にアクティブローでなければならない。

【0017】Xデコーダ21はメモリアレイ15の行デコーダである。Yデコーダ23はメモリアレイ15の列デコーダである。アドレスレジスタ25はメモリアレイ15のアドレスレジスタである。Xデコーダ22はメモリアレイ16の行デコーダである。Yデコーダ24はメモリアレイ16の列デコーダである。アドレスレジスタ

(5)

特開平6-180999

7

26はメモリアレイ16のアドレスレジスタである。アドレスレジスタ25はメモリアレイ15のアドレスをアドレスバス33から受ける。アドレスレジスタ26はメモリアレイ16のアドレスをアドレスバス33から受ける。アドレスレジスタ25、26は各々読出しオペレーション、プログラムオペレーション、消去オペレーションの間に対応メモリアレイのアドレスをアドレスバス33から受ける。Xデコーダ21はすべてのワード線をメモリアレイ15に接続している。Xデコーダ21はアドレスレジスタ25からXアドレスを受ける。読出しオペレーション時あるいはプログラムオペレーション時にXデコーダ21はアドレスレジスタ25から供給される各アドレスに従って1つのワード線を選択する。

【0018】Yデコーダ23はYゲート回路27を介してメモリアレイ15のすべてのビット線に接続されている。Yデコーダ23はアドレスレジスタ25からYアドレスを受ける。読出しオペレーション時あるいはプログラムオペレーション時にYデコーダ21はアドレスレジスタ26から供給される各Yアドレスに関して1バイト分のビット線（すなわち8つのビット線）を選択する。Yゲート回路27はまた、(1)バス79を介して出力マルチプレクサ31に接続されており、(2)バス30を介してデータインラッチ32に接続されている。Xデコーダ22はすべてのワード線をメモリアレイ16に接続している。Xデコーダ22はアドレスレジスタ26からXアドレスを受ける。読出しオペレーション時あるいはプログラムオペレーション時にXデコーダ22はアドレスレジスタ26から供給される各Xアドレスに従って1つのワード線を選択する。Yデコーダ24はYゲート回路28を介してメモリアレイ16のすべてのビット線に接続されている。Yデコーダ24はアドレスレジスタ26からYアドレスを受ける。読出しオペレーション時あるいはプログラムオペレーション時にYデコーダ24はアドレスレジスタ26から供給される各アドレスに関して1バイト分のビット線（すなわち8つのビット線）を選択する。Yゲート回路28はまた、(1)バス29を介して出力マルチプレクサ31に接続されており、(2)バス30を介してデータインラッチ32に接続されている。

【0019】メモリアレイ16のメモリセルのプログラミング時にアドレスレジスタ26からXデコーダ22とYデコーダ24にアドレスが供給される。Xデコーダ22は供給されるXアドレスに関して1つのワード線を選択し、12Vのプログラミング電圧V_{pp}を選択したワード線へ送る。Yデコーダ24は、供給されるYアドレスに関して1バイト分のビット線を選択し、プログラミング電圧V_pを選択したビット線へ送る。本発明の1つの実施態様としては、V_pは約+7Vである。入力データによって選択したビット線におけるV_p電圧の有無を確認する。1つのメモリアレイ15あるいは16の消去は全

8

レイ消去とすることができる。全アレイ消去を行うには、フラッシュEPROM20の1つのメモリアレイの全メモリセルのソースにV_{pp}電圧を印加する。本発明の1つの実施態様としては、メモリアレイ15、16を、1つのブロックに共通のソース線が各々にある複数のブロックで構成する。この実施態様の場合には、全アレイ消去またはブロック消去を行うことができる。

【0020】ブロック消去の場合には一度に1ブロックづつ消去する。ブロックデコーダ（不図示）が各ブロック構造メモリアレイをデコードする。1つのブロックが消去されたメモリアレイに係合しているブロックデコーダにブロックアドレスが供給される。ブロックデコーダは選択したブロックの選択した共通ソース線へV_{pp}電圧を送る。ブロック消去オペレーション時は選択したブロックのメモリセルのソース領域のみにV_{pp}が印加される。選択しないブロックのメモリセルのソース領域にはV_{pp}電圧は印加されない。各ブロック構造メモリアレイのブロックデコーダはメモリアレイ内の全ブロックの共通ソース線に接続されている。ワード線ブロックに関しては、各ブロックデコーダが関連するアドレスレジスタからXアドレスを受ける。ビット線ブロックに関しては、各ブロックデコーダが関連するアドレスレジスタからYアドレスを受ける。続いてブロックデコーダが特定のブロックアドレスに関して選択したブロックに関連している共通ソース線を選択することによって1つのブロックを選択する。一例として、本発明の1つの実施態様としては、メモリアレイ15は複数のワード線ブロックで構成する。メモリアレイ15のブロックデコーダがアドレスレジスタ25からXアドレスを受ける。続いてメモリアレイ15のブロックデコーダが選択したブロックに関連している共通ソース線を選択することによってメモリアレイ15の1つのブロックを選択する。

【0021】この実施態様の場合には、各ブロックのただ1つの共通ソース線のみがその関連するブロックデコーダに接続されている。したがって、Xアドレスのサブセットだけで選択されたブロックを確認し、または逆に選択されなかったブロックを確認する。ワード線ブロックに関する本発明の1つの実施態様としては、メモリアレイ15に係合しているブロックデコーダはXデコーダ21の中間デコード段であり、メモリアレイ16に係合しているブロックデコーダはXデコーダ22の中間デコード段である。ビット線ブロックに関する本発明の1つの実施態様としては、メモリアレイ15に関連しているブロックデコーダはYデコーダ23の中間デコード段であり、メモリアレイ16に関連しているブロックデコーダはYデコーダ24の中間デコード段である。応用実施態様として、各メモリアレイ15、16に対して各々別個のブロックデコーダを設けることも考えられる。

【0022】フラッシュEPROM20の構成要素として命令レジスタ53と状態制御回路52がある。状態制

(6)

特開平6-180999

9

10

御回路52はEPROM20の内部状態制御器(internal state machine)としての働きをする。命令レジスタ53自体はアドレスできるメモリ位置を有せず、命令レジスタ53は、命令を実行するために必要であるアドレスならびにデータ情報とともに命令を記憶するラッチである。本発明の1つの実施態様としては、フラッシュEPROM20は読み出し、プログラム/読み出し、消去/読み出しの3つのオペレーションを制御する。各々特定の命令をバス44、45を介して命令レジスタ53に書き込むことによってこれらのオペレーションを選択する。CPU1(第2図)または他の外部マイクロプロセッサによって命令をバス44、45を介して命令レジスタ53に書き込む。標準命令は消去命令、消去検査命令、プログラム命令、プログラム検査命令ならびに読み出し命令である。本発明の好適実施態様としては、(1)CPU1が消去命令を発した場合は命令レジスタ53の内容が消去/読み出し命令にデフォルトし、(2)CPU1がプログラム命令を発した場合は命令レジスタ53の内容がプログラミング/読み出し命令にデフォルトする。線40に12VのVPP電圧が印加されれば命令レジスタ42の状態が切り替わる。高圧検知器54が線40を介してVPP電圧を受け、高圧VPPを表すVPPH信号を線42を介して命令レジスタ53へ送る。それに応じて命令レジスタ53がメモリアレイ15、16の消去及びプログラミングを開始させる信号を状態制御回路52へ送る。

【0023】高圧VPPが消滅すればVPPH信号がローになり、命令レジスタ53の内容が読み出し命令にデフォルトする。するとフラッシュEPROM20はリードオンリメモリとして機能する。応用形実施態様として、電圧Vppを常時命令レジスタ53に供給することも考えられる。この場合はフラッシュEPROM20はすべてのオペレーションを命令レジスタ53に連動して実行する。

【0024】図3に示す好適実施態様においては、命令レジスタ53にインプットする命令はCPU1(図2)から供給される。命令はバス44、入力/出力バッファ39ならびにバス45を介して供給される。チップイネーブル信号CE(バー)がローであるときに書き込みイネーブルWE(バー)信号を論理ローレベルにすることによって命令レジスタ53に命令を書き込む。CE(バー)信号がアクティブローであるときはNORゲート70がWE(バー)信号を通過させる。NORゲート70の出力は命令レジスタ53、状態制御回路52、ならびにアレイ選択回路50に接続されている。書き込みイネーブル信号WE(バー)はアクティブローである。書き込みイネーブルパルスの立下り縁においてアドレスレジスタ25またはアドレスレジスタ26にアドレスがラッチされる。書き込みイネーブルパルスWE(バー)の立ち上り縁において命令レジスタ53ならびにデータインラッチ32に命令がラッチされる。WE(バー)の立ち上り縁において消去/プログラムオペレーションが開始される。第

2図のCPU1が書き込みイネーブルパルスWE(バー)を供給する。本発明の1つの好適実施態様においては標準マイクロプロセッサ書き込みタイミングを用いる。

【0025】状態制御回路52はバス41を介して命令レジスタ53から入力を受ける。状態制御回路52はフラッシュEPROM20のオペレーションを制御する。状態制御回路52は、消去電圧スイッチ55、56ならびにプログラム電圧スイッチ57、58を制御する。それによってメモリアレイ15、16の消去/プログラムオペレーションが制御される。状態制御回路52は、アドレスレジスタ25、26へのアドレスのラッチを制御する。状態制御回路52はまたデータインラッチ32へのデータのラッチを制御する。状態制御回路52の1つの出力であるSTB信号は、アドレスレジスタ25、26ならびにデータインラッチ32へ送られる。書き込みイネーブル信号WE(バー)の立下り縁においてSTB信号に応じてアドレスレジスタ25またはアドレスレジスタ26にアドレスがラッチされる。書き込みイネーブル信号WE(バー)の立ち上り縁においてSTB信号に応じてデータインラッチ32にアドレスがラッチされる。状態制御回路52の別の出力である消去イネーブル信号SELVPS1は、線47を介して消去電圧スイッチ55へ送られる。消去電圧スイッチ55はメモリアレイ15の消去電圧スイッチである。消去電圧スイッチ55は、線47を介して論理ハイ消去イネーブル信号SELVPS1を受け、線40から線60を介してアレイ15のメモリアレイ15のソースへVPP電圧を送る。それに応じてメモリアレイ15の電気的消去が開始される。完全アレイ消去実施態様の場合はメモリアレイ15のすべてのメモリアレイ15のセルが消去される。

【0026】メモリアレイがブロック構造である実施態様においては、VPP電圧がメモリアレイ15のブロックデコーダに供給される。ブロックデコーダは、ブロックアドレスによって選択したブロックのメモリアレイのソースにのみVpp電圧を供給する。それに応じて選択したブロックの電気的消去が開始される。選択しないメモリアレイのソースはゼロ電圧であり続ける。図3に示す実施態様においては、線47の消去イネーブル信号SELVPS1が論理ロー電圧であれば、線40のVPP電圧は線60へは送られない。したがって線60の電圧は0Vになり、メモリアレイ15の消去プロセスが終了する。

【0027】状態制御回路52のまた別の出力である消去イネーブル信号SELVPS2は線48を介して消去電圧スイッチ56へ送られる。消去電圧スイッチ56はメモリアレイ16の消去電圧スイッチである。高圧Vppが線40を介して消去電圧スイッチ56に印加される。消去電圧スイッチ56は、線48を介して論理ハイ消去イネーブル信号SELVPS2を受け、線40から線61を介してメモリアレイ16のメモリアレイ16のソースへ消去電圧VPPを送る。それに応じてメモリアレイ16の

(7)

11

電気式消去が開始される。メモリアレイ16のメモリセルがブロック構造である実施態様においては、線61のVPP電圧がまずメモリアレイ16のブロックデコーダに供給される。それに応じてメモリアレイ16に供給されるブロックアドレスが指定するアレイ16内のブロックの消去が開始される。線48の消去イネーブル信号SELVPS2が論理ローになれば消去電圧スイッチ56は線61の高FEVPPの供給を停止し、線61の電圧が0Vになり、メモリアレイ16の消去プロセスが停止する。

【0028】状態制御回路52のまた別の出力であるメモリアレイ15のプログラムイネーブルバー信号PROB1は線49を介してプログラム電圧スイッチ57へ送られる。また高圧プログラムVPPが線40を介してプログラム電圧スイッチ57に印加される。線49のPROB1電圧が論理ローであればプログラム電圧スイッチ57が線26を介してVPP電圧をXデコーダ21とYデコーダ23に供給する。それに応じてメモリアレイ15のプログラムオペレーションが開始される。Yデコーダ23においてVPP電圧がプログラム電圧VPまで低下する。本発明の好適実施態様においては、VPPは約+12Vであり、VPは約+7Vである。

【0029】メモリアレイ15のXアドレスはアドレスレジスタ25からXデコーダ21に供給される。それを受けてXデコーダ21は1つのワード線を選択し、選択したワード線にVPP電圧を印加する。メモリアレイ15のYアドレスはアドレスレジスタ25からYデコーダ23に供給される。それを受けてYデコーダ23は1バイト分のビット線を選択し、選択したビット線にVP電圧を印加する。メモリアレイ15にプログラムすべきデータは入力/出力バッファ39ならびにバス44、36を介してデータインラッチ32にラッチされる。Yゲート回路27がバス30を介してデータインラッチ30からデータを受け、VP電圧を印加すべきビット線を確認する。すなわち、選択したビット線にVP電圧が印加されるかまたは印加されないかはデータインラッチ32のデータによる。

【0030】線19のプログラムイネーブルバー信号PROB1が論理ハイ値になれば線62が0Vになり、メモリアレイ15のプログラムオペレーションが終了する。状態制御回路52のまた別の出力であるメモリアレイ16のプログラムイネーブルバー信号PROB2は線59を介してプログラム電圧スイッチ58へ送られる。VPP電圧が線40を介してプログラム電圧スイッチ58に印加される。線59のPROB2電圧が論理ロー値であればプログラム電圧スイッチ58が線63を介してVPP電圧をXデコーダ22とYデコーダ24に供給する。それに応じてメモリアレイ16のプログラムオペレーションが開始される。Yデコーダ24においてVPP電圧がプログラム電圧VPまで低下する。Xデコーダ22がXアドレスをアドレスレジスタ26から受け、1つのワー

特開平6-180999

12

ド線を選択し、選択したワード線にVPP電圧を印加する。Yデコーダ24がメモリアレイ16のYアドレスをアドレスレジスタ26から受け、1バイト分のビット線を選択し、選択したビット線にVP電圧を印加する。

【0031】メモリアレイ16にプログラムすべきデータは入力/出力バッファ39ならびにバス44、36を介してデータインラッチ32にラッチされる。Yゲート回路28がバス30を介してデータインラッチ30からデータを受け、VP電圧を印加すべきビット線を確認する。かくのごとく、データインラッチ32にラッチされるデータに従って、選択したビット線にVP電圧が印加されるかまたは印加されない。線59のプログラムイネーブルバー信号PROB2が論理ハイ値になれば線63が0Vになり、メモリアレイ16のプログラムオペレーションが終了する。

【0032】応用形実施態様として、自動内部書き込み機能をフラッシュEPROM20に備えることも考えられる。自動内部書き込み機能を備えることによってフラッシュEPROM20を制御するCPU1の負担を軽減することができる。自動内部書き込み機能を備えるには、状態制御回路52に代えて書き込み状態制御器を使用する。書き込み状態制御器には消去アルゴリズムとプログラミングアルゴリズムが記憶されている。書き込み状態制御器によってプログラミング検査モードと消去検査モードを制御する。フラッシュEPROM20が消去命令あるいはプログラム命令を受ければ書き込み状態制御器がフラッシュEPROM20内の各種回路のシーケンシングを制御し、プログラムオペレーション、プログラム検査オペレーション、消去オペレーション、消去検査オペレーションを制御する。これによってCPU1が他のタスクに専念することができる。

【0033】CPU1は、書き込み状態制御器の状態レジスタにアクセスすることによって書き込み状態制御器の状態を常に把握しておくことができる。この状態レジスタは書き込み状態制御器の状態を記憶する。書き込み状態制御器の構成要素としてさらに、時間カウンタ(period counter)、イベントカウンタ(event counter)、後続状態コントローラ(next state controller)、発振器/位相発生器(oscillator phase generator)、同期化回路、ならびにデータラッチ/比較器がある。時間カウンタは、(1)プログラム/消去パルス幅と、(2)検査遅延の1つの個別時間を生成する。イベントカウンタは、メモリアレイ15またはメモリアレイ16に印加するプログラム/消去パルスの数の限界値を設定する。発振器/位相発生器は同期化回路において使用するクロック信号を生成する。同期化回路は命令レジスタ53を書き込み状態制御器に同期化させる。データラッチ/比較器は出力マルチプレクサ31の出力をデータラッチ/比較器にラッチされているデータと比較し、再プログラミングを行う。後続状態コントローラは、書き込み状態制御器の各種

(8)

特開平6-180949

13

アクティビティを制御し、統合し、待機状態制御器の後続状態を確認する。待機状態制御器に設けられている命令ポートが待機状態制御器とCPU1との間のインタフェースとしての働きをする。

【0034】図3に示す実施態様においては、フラッシュE PROM20にアレイ選択回路50とバス論理回路51がある。アレイ選択回路50は、再プログラミングを行うべきメモリアレイ、あるいはまた読出しを行うべきメモリアレイを選択する。アレイ選択回路50は、制御信号ASを、(1)線64を介してバス論理回路51へ送り、(2)線65を介して状態制御回路52へ送り、(3)線66を介して出力マルチプレクサ31へ送る。バス論理回路51は、アドレスレジスタ25ならびにアドレスレジスタ26へのアドレスのラッチを制御する。バス論理回路51の一方の出力信号であるPASSA信号は線35を介してアドレスレジスタ25へ送られる。PASSA信号はアドレスレジスタ25へのアドレスのラッチを制御する。バス論理回路51の他方の出力信号であるPASSB信号は線37を介してアドレスレジスタ26へ送られる。PASSB信号はアドレスレジスタ26へのアドレスのラッチを制御する。

【0035】本発明の1つの好適実施態様においては、アドレスバス33を介して送る各アドレスは17のビット(ビットA0~A16)から成っているアドレス情報である。ビットA0~A15の16のビットは、アドレスレジスタ25またはアドレスレジスタ26にラッチされるアレイアドレスを構成している。残りのビットA16はアレイ選択ビットである。アレイ選択ビットはメモリアレイ15、16のいずれにメモリアドレスが向けられているかを決定するアレイ選択情報を有している。したがってビットA16はアレイアドレスをアドレスレジスタ25、26のいずれが受けるかを指定する。応用形態として、アレイ選択ビットをA0~A15アドレスビットの中の1つとすることも考えられる。

【0036】メモリアレイ15またはメモリアレイ16の読出しオペレーション中はVPP電圧はフラッシュE PROM20に印加されない。したがって高圧検知器54の出力信号Vpphは論理ローである。アドレスはアドレスバス33へ送られる。A16アドレスビットは線67を介してアレイ選択回路50へ送られる。論理ローA16ビットがメモリアレイ15を選択し、論理ハイA16アドレスビットがメモリアレイ16を選択する。ローVPPH信号の働きによってA16信号がアレイ選択回路50を通過し、AS信号になる。AS信号は、線65を介して状態制御回路52へ送られ、線66を介して出力マルチプレクサ31へ送られる。また、バス論理回路51が線64を介してアレイ選択回路50からAS信号を受ける。しかし、ローVPPH信号がバス論理回路51へ送られている故にバス論理回路51はAS信号に対して反応できない。バス論理回路51の出力信号PASSA、

14

PASSBは共に論理ハイにデフォルトする。ハイPASSA信号、高PASSB信号が両アドレスレジスタ25、26をイネーブルする。アドレスバス33のアドレスは両アドレスレジスタ25、26を通過し、両メモリアレイ15、16の読出しオペレーションが実行される。

【0037】アレイ15、16のいずれの出力が入力/出力バッファ39に接続されているかを出力マルチプレクサ31が確認する。出力マルチプレクサ31に供給されるAS信号がマルチプレクサ31を制御する。ビットA16が論理ローであれば出力マルチプレクサ31はバス29のデータをバス38へ送る。バス29のデータはバス38へ送られない。すなわち、メモリ15から読み出されたデータのみが入力/出力バッファ39へ送られる。ビットA16が論理ハイであれば出力マルチプレクサ31はバス29のデータをバス38へ送る。すなわち、メモリ16から読み出されたデータのみが入力/出力バッファ39へ送られる。消去/読出しオペレーション時はVPP電圧がフラッシュE PROM20に印加される。高圧検知器54が論理ハイVPPH信号を発生する。CPU1が消去命令を命令レジスタ53へ送る。消去プロセスを実行すべきメモリアレイを指示する消去アドレスがアドレスバス33へ送られる。アドレスのA16アドレスビットが線67を介してアレイ選択回路50へ送られる。メモリアレイ15、16がブロック構造である実施態様においては、消去すべきブロックを指示する情報も消去アドレスに入っている。

【0038】VPPH信号が論理ハイレベルであるときはアレイ選択回路50はラッチとして機能する。アレイ選択回路50は、WE(バー)信号によって制御されてA16アドレス選択ビットをラッチする。WE(バー)信号が論理ローレベルになれば、WE(バー)信号の立上り縁においてA16ビットがアレイ選択回路50にラッチされる。A16ビットは、アレイ選択回路50にラッチされればAS信号になり、線64を介してバス論理回路51へ送られる。バス論理回路51に供給されるAS信号が論理ローであれば(すなわちビットA16が論理ローであれば)、バス論理回路51は論理ローPASSA信号と論理ハイPASSB信号を発生する。バス論理回路51に供給されるAS信号が論理ハイ値であれば(すなわちビットA16が論理ハイであれば)、バス論理回路51は論理ハイPASSA信号と論理ローPASSB信号を発生する。言い換えれば、PASSA信号とPASSB信号は相補関係になっている。

【0039】AS信号がローであれば論理ローPASSA信号がアドレスレジスタ25へ送られ、論理ハイPASSB信号がアドレスレジスタ26へ送られる。アドレスレジスタ25は、状態制御回路52から供給されるSTB信号によって制御されてバス33から送られてくる消去アドレスをラッチする。STB信号は論理アクティ

(9)

特開平6-180991

15

ブロー信号である。STB信号の立下り縁において初発消去アドレスがアドレスレジスタ25にラッチされる。論理ハイPASSH信号がアドレスレジスタ26をイネーブルし、それに応じてアドレスレジスタ26が線33を介して供給される後続アドレスを読み込む。

【0040】また、AS信号は線65を介して状態制御回路52へ送られる。AS信号が論理ローであれば、状態制御回路52は論理ハイ消去イネーブル信号SELVPS1を消去電圧スイッチ55へ送り、SELVPS2は論理ローに維持される。AS信号が論理ハイであれば、状態制御回路52は論理ハイ消去イネーブル信号SELVPS2を消去電圧スイッチ56へ送り、SELVPS1は論理ローに維持される。SELVPS1が論理ハイであり、SELVPS2が論理ローであれば、消去プロセスの一環として供給されるVPP電圧が線60を介してメモリアレイ15に供給される。そしてメモリアレイ15において消去初期化が行われ、メモリアレイ16においては行われない。PASSB信号が論理ハイレベルであればアドレスレジスタ26はラッチとしての働きをしない。アドレスバス33へ送られる後続アドレスはすべてアドレスレジスタ26を通過し、読出しオペレーションの一環としてメモリアレイ16へ送られる。メモリアレイ16から読み出されたデータはバス29を介して出力マルチプレクサ31へ送られる。この場合はAS信号は出力マルチプレクサ31も制御し、メモリアレイ16から読み出されたデータを入力/出力バッファ39へ送らせる。

【0041】しかし、VPPH信号が論理ハイレベルであり、WE(バー)信号がアクティブローであればメモリアレイ15の読出しオペレーションは阻止される。アドレスレジスタ25に消去アドレスがラッチされる。しかし、AS信号が論理ハイ値であれば論理ハイPASSA信号がアドレスレジスタ25へ送られ、論理ローPASSB信号がアドレスレジスタ26へ送られる。論理ハイAS信号は、信号SELVPS2が論理ハイであり、信号SELVPS1が論理ローであることを意味する。VPPH信号はメモリアレイ16へ送られ、メモリアレイ15へは送られない。アドレスレジスタ26が消去アドレスをラッチする。アレイ16の消去が開始される。アドレスレジスタ25がイネーブルされ、メモリアレイ15の読出しを行うことができる。出力マルチプレクサ31がメモリアレイ15から読み出されたデータをバス79、38を介して入力/出力バッファ39へ送る。

【0042】プログラム/読出しオペレーション時は高圧VppがフラッシュEPROM20のVPPピンに印加される。高圧検知器54がVPP電圧を検知し、論理ハイVPPH信号をアレイ制御回路50とバス論理回路51へ送る。WE(バー)信号がCPU1から命令レジスタ53へ送られる。プログラムアドレスがアドレスバス33へ送られる。アドレスのビットA16が線67を介してア

16

レイ選択回路50へ送られる。すなわちA16はプログラミングを行うべきメモリアレイを指示する。VPPH信号が論理ハイレベルであるときはアレイ選択回路50はラッチとして機能する。アレイ選択回路50は、WE(バー)信号によって制御されてA16アドレス選択ビットをラッチする。WE(バー)信号の立下り縁においてA16ビットがアレイ選択回路50にラッチされる。A16アドレス選択ビットは、アレイ選択回路50にラッチされればAS信号になり、線64を介してバス論理回路51へ送られる。

【0043】バス論理回路51に供給されるAS信号が論理ローであれば(すなわちビットA16が論理ローであれば)、バス論理回路51は論理ローPASSA信号と論理ハイPASSB信号を発生する。バス論理回路51に供給されるAS信号が論理ハイであれば(すなわちビットA16が論理ハイであれば)、バス論理回路51は論理ハイPASSA信号と論理ローPASSB信号を発生する。AS信号がハイであれば論理ハイPASSA信号がアドレスレジスタ25へ送られ、論理ローPASSB信号がアドレスレジスタ26へ送られる。アドレスレジスタ25は、状態制御回路52から供給されるSTB信号によって制御されてバス33から送られてくるプログラムアドレスをラッチする。STB信号の立下り縁においてアドレスがアドレスレジスタ26にラッチされる。

【0044】プログラムすべきデータがSTB信号によって制御されてデータインラッチ32にラッチされる。STB信号の立上り縁においてデータがデータインラッチ32にラッチされる。また、AS信号は線65を介して状態制御回路52へ送られる。AS信号が論理ハイであれば、状態制御回路52は論理ローのプログラムイネーブルバー信号PROB2をプログラム電圧スイッチ58へ送り、プログラムイネーブルバー信号PROB2は論理ハイに維持される。AS信号が論理ローであれば、状態制御回路52は論理ロープログラムイネーブルバー信号PROB1をプログラム電圧スイッチ57へ送り、プログラムイネーブルバー信号PROB2は論理ハイに維持される。

【0045】ASが論理ハイであり、PROB2が論理ローであり、PROB1が論理ハイであればプログラム高圧Vppが線63を介してXデコーダ22とYデコーダ24へ送られる。プログラム高圧VppはYデコーダ24においてVP電圧レベルに低下し、それに応じてメモリアレイ16におけるプログラムオペレーションが開始される。バス論理回路51から供給されるPASSA信号が論理ハイレベルである場合は、アドレスレジスタ25はラッチとしては機能せず、高圧PASSA信号によってアドレスレジスタ25がイネーブルされる。アドレスバス33へ送られる後続アドレスはすべてアドレスレジスタ25を通過し、読出しオペレーションの一環として

(10)

特開平6-180999

17

メモリアレイ16へ送られる。メモリアレイ15から読み出されたデータはAS信号によって制御されてバス79を介して出力マルチプレクサ31へ送られる。

【0046】しかし、AS信号が論理ローであれば、論理ローPASSA信号がアドレスレジスタ25へ送られ、論理ハイPASSB信号がアドレスレジスタ26へ送られる。論理ローAS信号は、PROB1信号が論理ローであり、PROB2信号が論理ハイであることを意味する。続いてプログラム高圧VPPがメモリアレイ15のYデコーダ23とXデコーダ21へ送られる。Yデコーダ23において、VFVppがVP電圧に低下する。アドレスレジスタ25がプログラムアドレスをラッチする。データインバッチ32がプログラムすべきデータをラッチする。メモリアレイ15のプログラミングが開始される。アドレスレジスタ26がイネーブルされ、メモリアレイ16の読出しを行うことができる。出力マルチプレクサ31がメモリアレイ16から読み出されたデータをバス29、38を介して入力/出力バッファ39へ送る。

【0047】本発明の1つの好適実施態様としては、ブート情報を記憶するブートブロック（不図示）が各メモリアレイ15、16にある。先述のごとく、ブート情報にはシステム初期化情報と再プログラミング情報が入っている。ブートブロックは最少限度の更新を必要とする。メモリアレイ15の再プログラミングを行っているときにCPU1は読出しオペレーションによってメモリアレイ16のブートブロックのブート情報にアクセスすることができる。一方、メモリアレイ16が再プログラムされているときには、CPU1はブート情報用のメモリアレイ15のブロックをアクセスするために読出しオペレーションを利用することができる。

【0048】図2のアレイ選択回路50のブロックダイヤグラムを図4に示す。アレイ選択回路50の構成要素として、(1)インバータ506、507で構成されている第1ラッチと、(2)インバータ509、510で構成されている第2ラッチがある。本発明の好適実施態様としては、トランジスタ505、508はNチャンネルトランジスタである。第1ラッチの出力は第2ゲートトランジスタ508のドレンに接続されている。応用形態として、トランジスタ505、508をPチャンネルトランジスタとすることも可能である。

【0049】WF（バー）信号が入力としてORゲート502へ送られる。VPPH信号が入力としてインバータ501へ送られる。インバータ510の出力が別の入力としてORゲート502へ送られる。ORゲート502の出力はトランジスタ505のゲートに接続されている。トランジスタ505のドレンは、アレイ選択ビットであるアドレスのビットA16に接続されている。A16信号は線67を介してアレイ選択回路50に供給される（図3参照）。WE（バー）またはVPPHによってト

18

ランジスタ505がオンとなればA16信号がトランジスタ505を通過し、インバータ506、507で構成されている第1ラッチへ送り込まれる。トランジスタ508が切れていればA16信号は第1ラッチにラッチされ、そこで保持される。トランジスタ508がオンされればA16信号はトランジスタ508を通過し、インバータ509、510で構成されている第2ラッチへ送り込まれる。A16信号が回路50の出力信号ASになる。

【0050】WE（バー）信号はまたNORゲート503の一方の入力へ送られる。インバータ501の出力はまたNORゲート503の他方の入力に接続されている。NORゲート503の出力はORゲート504の一方の入力に接続されている。インバータ501の出力はまたORゲート504の他方の入力に接続されている。ORゲート504の出力はトランジスタ508のゲートに接続されている。VPPH信号が論理ローレベルであれば（フラッシュEPROM20がリードオンリメモリとして機能することを意味する）ORゲート502、504の出力は論理ハイであり、両トランジスタ505、508がオンとされる。したがってアレイ選択回路50はWE（バー）信号に依存せず、A16信号が回路50を通過してAS出力になる。

【0051】VPPH信号が論理ハイレベルであれば（フラッシュEPROM20が消去自在あるいはプログラミング自在であることを意味する）両トランジスタ505、508がWE（バー）信号によって制御される。WE（バー）信号が論理ハイであればトランジスタ505がオンであり、トランジスタ508は切れている。A16信号が第1ラッチ（すなわちインバータ506、507）にラッチされ、そこで保持される。WE（バー）信号が論理ローになればトランジスタ508がオンとされ、トランジスタ505が切れる。それによってA16信号が第1ラッチからインバータ509、510で構成されている第2ラッチへ送られる。第2ラッチの出力がAS信号である。

【0052】バス論理回路51のブロックダイヤグラムを図5に示す。バス論理回路51の構成要素としてインバータ511とNANDゲート512、513がある。VPPHが論理ロー信号であれば（フラッシュEPROM20がリードオンリメモリであることを意味する）、AS信号に関係なくPASSA信号とPASSB信号は共に論理ハイである。VPPH信号が論理ハイであればPASSA信号とPASSB信号はAS信号によって制御される。ASが論理ローであればPASSAがローになり、PASSBがハイになり、ASが論理ハイであればPASSAがハイになり、PASSBがローになる。

【0053】アドレスレジスタ25またはアドレスレジスタ26の単一ビットアドレスレジスタのブロックダイ

(11)

特開平6-180999

20

19

ヤグラムを第6図に示す。第6図はビットアドレスレジスタ600を示す。AINは入ってくるアドレスの1ビットである。AOUTはビットアドレスレジスタ600の出力である。ビットアドレスレジスタ600の構成要素として、(1)インバータ607、608で構成されている第1アドレスラッチと、(2)インバータ609、610で構成されている第2アドレスラッチがある。第1ラッチは、第2アドレスラッチのゲートとしての働きをするトランジスタ605を介して第2ラッチに接続されている。入力ビットアドレスAINは第1アドレスラッチのゲートとしての働きをするトランジスタ604を介して第1アドレスラッチに接続されている。第2アドレスラッチの出力がビットアドレスレジスタ600の出力AOUTである。本発明の1つの好適実施態様としては、トランジスタ604、605はNチャンネルトランジスタである。応用形態実施態様として、トランジスタ604、605をPチャンネルトランジスタとすることも可能である。

【0054】ビットアドレスレジスタ600にはPASS信号とSTB信号という2つの制御信号が記憶されている。STB信号は、ORゲート601の入力とNORゲート602の入力へ送られる。PASS信号は、ORゲート601、603の入力とNORゲート602の入力へ送られる。ビットアドレスレジスタ600がアドレスレジスタ25のビットレジスタである場合はPASS信号はPASS A信号であり、ビットアドレスレジスタ600がアドレスレジスタ26のビットレジスタである場合はPASS信号はPASS B信号である。PASS信号が論理ハイであれば、ORゲート601の出力によってトランジスタ604がオンされ、ORゲート603 30の出力によってトランジスタ605がオンされる。トランジスタ604、605がイネーブルされればAIN信号がビットアドレスレジスタ600を通過し、AOUT信号*

*になる。PASS信号が論理ローであり、STB信号が論理ハイであればトランジスタ604がオンされ、トランジスタ605が切れる。AINアドレスが第1アドレスラッチにラッチされ、そこで保持される。STB信号が論理ローに切り替わればトランジスタ604が切れ、トランジスタ605がオンされ、第1アドレスラッチに記憶されているAINアドレスが第2アドレスラッチへ移行し、入力AINが出力AOUTになる。

【0055】以上、本発明のいくつかの代表的実施態様を紹介したが、本発明は、この実施態様だけに限られることはなく、その特許請求範囲内においてこれ以外にも様々な応用形態実施態様が可能である。したがって上の明細書本文ならびに添付図はあくまでも1つの典型であり、これだけに限られるものと解釈すべきではない。

【図面の簡単な説明】

【図1】在来フラッシュEPROMを備えているマイクロプロセッサシステムのブロックダイアグラムである。

【図2】2つのメモリアレイから成っているフラッシュEPROMを備えているマイクロプロセッサシステムのブロックダイアグラムである。

【図3】図2のフラッシュEPROMのブロックダイアグラムである。

【図4】アレイ選択回路の図解である。

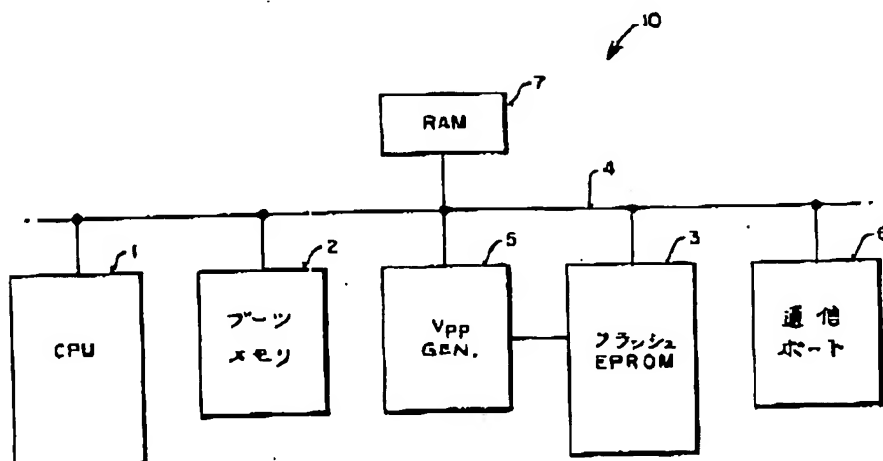
【図5】バス論理回路の図解である。

【図6】図3のフラッシュEPROMのアドレスレジスタの1ビットの回路の図解である。

【符号の説明】

- 1 CPU、
- 3 フラッシュEPROM
- 5 Vpp発生器
- 12 CPU
- 15 フラッシュEPROMアレイ
- 16 フラッシュEPROMアレイ

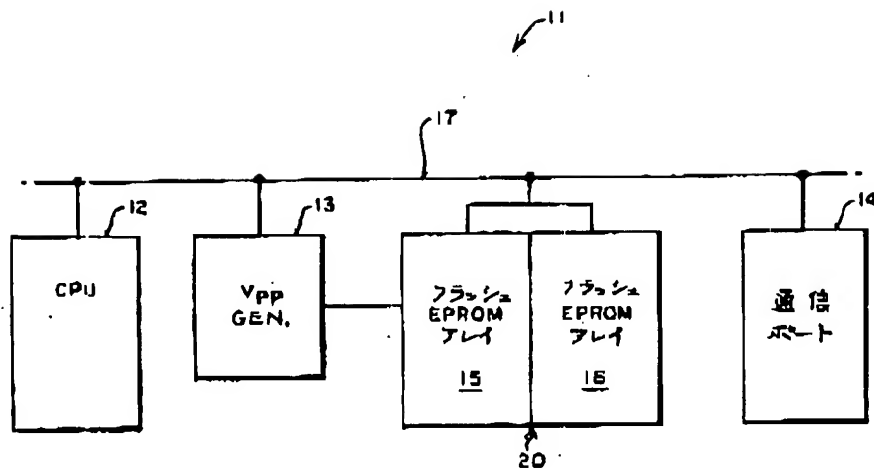
【図1】



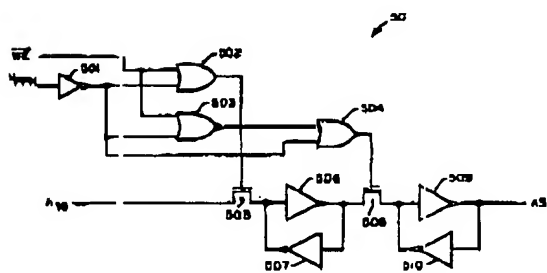
(12)

特開平6-180999

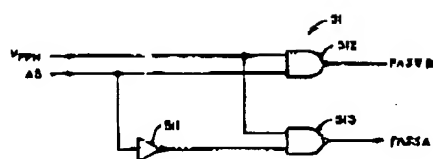
【図2】



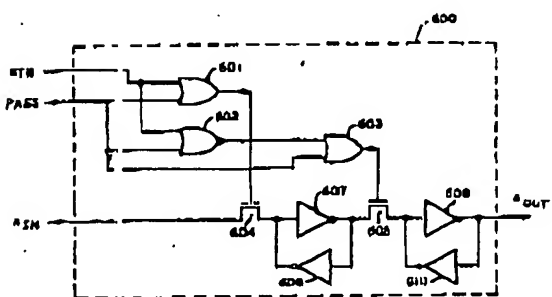
【図4】



【図5】



【図6】



(13)

特開平6-180991

【図3】

